

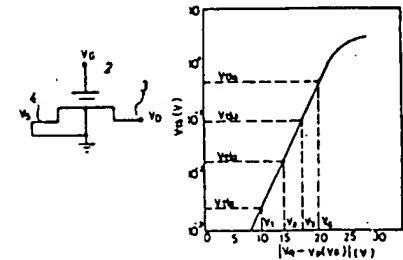
(54) SETTING METHOD FOR THRESHOLD VOLTAGE OF MNOS MEMORY

CELL

(11) 58-86777 (A) (43) 24.5.1983 (19) JP
(21) Appl. No. 56-184829 (22) 18.11.1981
(71) CITIZEN TOKEI K.K. (72) KAZUNARI HAYAFUCHI(1)
(51) Int. Cl. H01L29/78, G11C17/00, H01L27/10

PURPOSE: To readily obtain an MNOS transistor having different threshold voltages by applying a voltage to the substrate and the gate of an MNOS memory cell, and then applying a voltage between the gate terminal of the cell and a source or drain terminal, thereby deciding the threshold value of the cell.

CONSTITUTION: A high voltage is applied to the gate terminal 2 of an MNOS transistor to write, and an electrode is collected to a trap center. Then, a voltage V_s or V_d to be applied to a source or drain terminal 4 or 3 is varied while maintaining the voltage V_c of the terminal 2 constant, the difference $|V_c - V_d|$ from the gate voltage V_c is set to V_1, V_2, V_3, V_4 , thereby rewriting. In this manner, threshold voltages $V_{th1} \sim V_{th4}$ of the transistor corresponding to $V_1 \sim V_4$ of the voltage difference between the V_c and the V_d are obtained, thereby selecting the transistor having the prescribed threshold value. In other words, the width of a depletion layer is variably controlled to perform the writing or rewriting, and the transistor having different threshold value is formed.



⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭58-86777

⑫ Int. Cl.³
H 01 L 29/78
G 11 C 17/00
H 01 L 27/10

識別記号
101
厅内整理番号
7514-5F
6549-5B
6655-5F

⑬ 公開 昭和58年(1983)5月24日
発明の数 1
審査請求 未請求

(全 3 頁)

⑭ MNOS記憶素子のしきい値電圧の設定方法

⑮ 発明者 田中利明

所沢市大字下富字武野840シチ
ズン時計株式会社技術研究所内
⑯ 出願人 シチズン時計株式会社
東京都新宿区西新宿2丁目1番
1号

⑭ 特願 昭56-184829

⑭ 出願 昭56(1981)11月18日

⑭ 発明者 早瀬一成

所沢市大字下富字武野840シチ
ズン時計株式会社技術研究所内

明細書

1 発明の名称

MNOS記憶素子のしきい値電圧の設定方法

2 特許請求の範囲

MNOS (Metal - Nitride - Oxide - Semiconductor) 記憶素子について、前記 MNOS 記憶素子の基板とゲートに電圧を印加して後、前記 MNOS 記憶素子のゲート端子とソース端子 (又はドレイン端子) の間に電圧を加えて前記 MNOS 記憶素子のしきい値電圧設定することを特徴とする、MNOS 記憶素子のしきい値電圧の設定方法。

3 発明の詳細な説明

本発明は電子時計等に用いられる MNOS (金属 - 氮化膜 - 酸化膜 - 半導体物質) 記憶素子に関するものである。一般に MNOS 記憶素子 (以下 MNOS Tr と称す) は、ゲート絶縁膜として、シリコン酸化膜とシリコン還元膜の二層絶縁膜を用い、電気的にこの二層絶縁膜の界面又はその近傍のシリコン酸化膜中のトラップセンター (捕獲

中心) に電荷を蓄積させてそのトラップの蓄積状態の電荷の量に対応するしきい値電圧の大小を決める。その中间電位を MNOS Tr のゲートに印加することにより、MNOS Tr の ON、OFF によって、情報の "0"、"1" 記憶レベルを判定するロジック処理が一般に行なわれる。第 1 図は、一般の MNOS Tr の V_0 (ゲート電圧) - V_{th} (スレッヒルド) ヒステリシス曲線を示す。MNOS Tr は、第 1 図のヒステリシス曲線が変化し始める臨界ゲート電圧 (V_C) 以上のゲート印加電圧 (V_0) V_{th} 、 V_{th} 、 V_{th} で異なるしきい値電圧 V_{th1} 、 V_{th2} 、 V_{th3} を各自持つことができる。この特徴をいかし、電位検出装置としてのアナログ情報処理も可能である。しかしながら、異なるしきい値電圧をもつ MNOS Tr を多数個設けるには、異なるしきい値電圧をその多個数分のゲート電圧 (V_0) を設ける必要がある。かかるしきい値電圧をもつ MNOS Tr を設定するのにゲート電圧 (V_0) を定めておらず、実質的に再現性よく異なるしきい値電圧をかけることは不可能に近いという欠点があつた。

本発明は、M N O S T rを用い、いつたん情報を記録した後、ゲート端子とソース端子（又はドレイン端子）の電圧差を変える（又は除去）することで、再現性良く異なるしきい値電圧をもつM N O S T rを設けることができ、アナログ処理も可能な書き込み方法を提供するものである。

第2図は本発明のM N O S T rの書き込み方法の実験例を示す。第2図④はM N O S T rでゲート端子2に高電圧を印加し、書き込みを行ない感度をトラップセンターに捕獲した後ゲート端子2の電圧 V_G を一様に保ち、ソース端子4（又はドレイン端子3）の電圧 V_S 又は V_D を変えてゲート電圧 V_G との差 $|V_G - V_D|$ を V_1 、 V_2 、 V_3 、 V_4 IC設定して書き込みを行なうと、 V_G と V_D の電圧差である V_1 ～ V_4 IC対応してM N O S T rのしきい値電圧 V_{th} は第2図④に示すように、 V_1 ～ V_4 の電圧に対応したしきい値電圧 V_{th1} ～ V_{th4} の値を示す。本発明は、従来行なわれていたゲート端子2の電圧を可変ICする手段とは異なり、ドレイン電圧 V_D （又はソース電圧 V_S ）から逆バイアスの電圧を印加す

ることにより、M N O S T rの空乏層を広げ、乏層幅を可変に制御して、書き込み（又は消去）を行ない、異なるしきい値電圧を有するM N O S T rとするもので、ゲート端子2の電圧 V_G から書き込みのため印加される電圧をドレイン電圧（又はソース電圧 V_S ）からの空乏層で該M N O S T rのS : O₂の界面を捕獲する手段を用いたも V_{th} の対数値と $|V_G - V_D|$ 又 V_S の関係は直線性を示し、再現性は著しく良好である。従つ本発明の方法を用いてM N O S T rを書き込めば、O S T rのしきい値電圧は、 $|V_G - V_D|$ 電圧成比例に再現性良く決まる為、アナログ量を換算することも可能で、アナログ記憶端子としての機能も可能で効率は著しく大きい。

4. 図面の簡単な説明

第1図は従来のゲート電圧（ V_G ）-しきい値（ V_{th} ）ヒステリシス曲線を示す図、第2図④は本発明のM N O S T rの構造図、第2図④は本発明のM N O S T rのゲート電圧とドレイン電圧（又はソース電圧）の差によるしきい値電圧の特性を示す。

性図である。

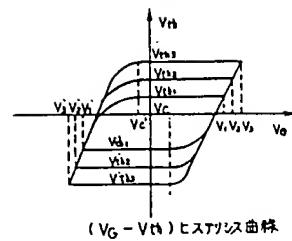
2…ゲート端子、 3…ドレイン端子、
4…ソース端子、 V_{th} …しきい値電圧、
 V_G …ゲート電圧、 V_D …ドレイン電圧、
 V_S …ソース電圧。

特許出願人

シチズン時計株式会社

SEC 006240

第1図



第2図

(A) (B)

